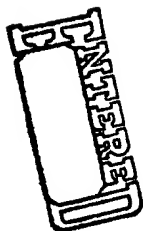
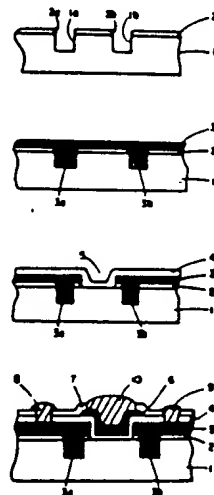


(54) SEMICONDUCTOR DEVICE

(11) 60-103671 (A) (43) 7.6.1985 (19) JP  
(21) Appl. No. 58-210986 (22) 11.11.1983  
(71) TOSHIBA K.K. (72) TOSHIO YONEZAWA  
(51) Int. Cl.<sup>4</sup> H01L29/78

**PURPOSE:** To enable the element having good characteristics to be manufactured without the need of long-time and high-temperature heating and with high yield by a method wherein the source and drain regions of an insulation gate type FET are composed of buried regions of polycrystalline Si containing high concentration impurities filling two grooves.

**CONSTITUTION:** The impurity-containing polycrystalline Si 3 is deposited on an oxide film 2 to a prescribed thickness, and the grooves 1a and 1b in the surface of a semiconductor substrate 1 are filled with the Si. Polycrystalline Si regions 3a and 3b made to fill the grooves in this process serve as the source and drain, respectively. The Si is turned conductive by heat treatment. Next, after a resist layer is formed on the Si, it is opened between the regions 3a and 3b by PEP, and an oxide film 4 is deposited on the Si. A source wiring electrode 9, and gate wiring electrode 10 are formed by the deposition of Al-Si alloy and PEP.



257/51, 60, 74, 75,  
621, 622, 755, 382

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-103671

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)6月7日

H 01 L 29/78

8422-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭58-210986

⑰ 出 願 昭58(1983)11月11日

⑱ 発 明 者 米 沢 敏 夫 川崎市幸区小向東芝町1 東京芝浦電気株式会社多摩川工場内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 諸 田 英 二

明 細 書

1 発明の名称

半導体装置

2 特許請求の範囲

- 1 絶縁ゲート形電界効果トランジスタが半導体基板上に形成されている半導体装置であって、該半導体基板の表面に形成した溝内に多結晶シリコン若しくは高融点金属の導電材が埋め込まれた埋込領域を有し、該埋込領域が上記電界効果トランジスタにおけるソース領域、又はドレイン領域、又はソース領域若しくはドレイン領域の幅領域を構成することを特徴とする半導体装置。

3 発明の詳細な説明

[発明の技術分野]

この発明は半導体装置に関し、更に詳細には、埋め込み形のソース又はドレイン領域を有し、従来の半導体装置よりも高品質かつ高歩留りで製造することのできる半導体装置の製造方法に関するものである。

[発明の技術的背景]

半導体デバイスの製造工程においては、ウエハは多数回の高温熱処理やイオン注入等の欠陥処理を受け、デバイス完成時には転位群や積層欠陥及び析出物などのプロセス誘起欠陥が生じることになり、その結果、これらのプロセス誘起欠陥によってデバイス特性の悪化やチップ歩留りの低下がもたらされる。このような傾向は半導体デバイスの高集積化が進むにつれ著しく高くなるので、VLSIのごとき集積度の高い半導体デバイスの製造においてはプロセス誘起欠陥が少なくなるように、低い熱処理温度や熱処理回数の少ない製造方法を採用していくことが必要となっている。

従来、MOSデバイスの製造工程において形成されるソース領域及びドレイン領域は、ウエハを900℃～1100℃に加熱しつつ、不純物をアレドイクションした後、更にスランピングを行うことによりウエハ内に形成した高濃度不純物基層である。また、最近では前記のごとき加熱によるア

レデポジションに代えてイオン注入によるアレドポジションを行った後、約1000℃程度の温度でスランピングを行うことによってソース及びドレイン領域の高濃度不純物拡散層が形成されている。

しかしながら、このような従来の高濃度不純物拡散層をソース及びドレイン領域としてもつMOSデバイスには以下のごとき問題点があった。

#### 【背景技術の問題点】

前記のごとき従来の半導体装置の製造工程では、ウエハを高濃に長時間加熱するため、ウエハ内に結晶欠陥が誘発され、その結果、耐圧の低い素子やドレイン-ソース間のリーク電流の大きな素子が生じる割合が大きくなり、素子の歩留りが低下し、また素子の信頼性も低下する等の問題点があった。

#### 【発明の目的】

この発明の目的は、前記従来のMOSデバイスに存する問題点を排した新規な半導体装置を提供することであり、更に詳細には、従来の半導体装置におけるごとき長時間かつ高温の加熱を要せずに特性のよい素子を高歩留りで製造することのでき

- 3 -

なかつ長時間の熱処理が軽減でき、その結果素子特性が向上する。

なお、該溝の形成は例えば、反応性イオンエッチング(RIE)もしくはスパッタエッチング等の方法によって行うことが好適である。一方、多結晶シリコンの該溝内への充填にはCVDやプラズマCVD等の方法が好適であり、該多結晶シリコンのデポジションは300~800℃で実施することができる。また、多結晶シリコンの代りにWN(窒化タングステン)やTiN(窒化チタン)もしくはMoSi(窒化モリブデン)等の高融点金属を使用してもよい。

#### 【発明の実施例】

以下に添付図面を参照して本発明の実施例について説明する。

第1図は、本発明MOSFETの第一実施例の素子断面図である。

第1図において、1はP型の半導体基板、2は半導体基板1上の酸化膜、3aは半導体基板1の表面に形成された溝内に埋め込まれたリンドープ

- 5 -

る半導体層を提供することである。

#### 【発明の概要】

この発明の半導体装置は、代表的には絶縁ゲート形電界効果トランジスタのソース領域及びドレイン領域が、半導体基板の表面に互に相隣て形成された二つの溝内に充填された高濃度不純物含有多結晶シリコンの埋込領域によって構成されていることを特徴とするものである。この発明においては、不純物拡散法によりソース領域及びドレイン領域が形成される従来の半導体装置よりも、製造工程の高温かつ長時間の熱処理が不要であり、従ってウエハに生ずるプロセス誘起欠陥ははるかに少くなり、その結果特性のよい素子を従来のよりも高歩留りかつ低コストで製造することができる。

また、この発明の半導体装置は、基板表面の溝内に充填された埋込領域が、ソース領域又はドレイン領域そのものを構成する場合だけでなく、従来の不純物拡散法により形成されたソース領域若しくはドレイン領域の亜領域として構成された場合にも、従来の半導体装置の製造工程における高

- 4 -

多結晶シリコンからなるソース領域、3bはソース領域と相隣てられて形成された溝内にソース領域と同様に埋め込まれたドレイン領域、4はソース領域3aとドレイン領域3b間の基板表面に形成されたゲート絶縁膜、6は多結晶シリコンからなるゲート電極、7は層間絶縁膜、8および9はソース領域及びドレイン領域から酸化膜2上に延在するリンドープ多結晶シリコン層に接続されたアルミ配線である。

第2図ないし第5図は第一実施例の製造工程図である。

本発明半導体装置の製造工程においては、まず、第2図に示すようにP型の半導体基板1の表面に酸化膜2を形成した後、更にレクストロ(図示せず)を形成し、通常のフォトリソグラフィプロセス(PEP)によって酸化膜2のドレイン形成予定領域とソース形成予定領域との対応位置に開口2a、2bを形成する。ついで、この酸化膜2をマスクとして反応性イオンエッチング(RIE)により二つの溝1a、1bを半導体基板1の表面

- 6 -

に形成する。

次に第3図に示すように減圧CVD法により酸化膜2上に不純物含有の多結晶シリコン3を所定厚さに堆積するとともに半導体基板1の表面の溝1a、1b内に多結晶シリコン3を充填する。多結晶シリコン3のデポジション温度は300℃～800℃の範囲であり、キャリアガスとしてSiH<sub>4</sub>を、また、ドーピングガスとしてPH<sub>3</sub>、もしくはAsH<sub>3</sub>を用いる。

この工程で溝1a、1b内に充填された多結晶シリコン領域3a、3bはそれぞれソース及びドレインとなる。

ついで適当な温度(500～1000℃)で熱処理を行って多結晶シリコン3を導電性に交換させる。

次に多結晶シリコン3の上にレジスト層(図示せず)を形成した後、PEPを行って多結晶シリコン領域3a、3bの間の多結晶シリコン3を開口する。そして更に多結晶シリコン3の上に酸化膜4を堆積させる(第4図参照)。この酸化膜4はMOS素子におけるゲート絶縁膜となる。

- 7 -

において第1図と同一符号の部分は第1図と同じ部分であるからその説明を省略する。

第6図の第二実施例においては、高温かつ長時間の熱処理は軽減されるとともに、従来半導体装置において強いソース領域及びドレイン領域上に用いられるアルミ配線の接合合金化に起因する素子特性上の劣化が防止できるという利点がある。

#### [発明の効果]

前記第一実施例のごとき製造のMOS FETを多数製造し、このMOS FETについて耐圧やソース・ドレイン間リーク電流等を測定し、歩留りを調査したところ、従来方法で製造したMOS FETのそれと比較して歩留りが50%向上し、また、ソース・ドレイン間リーク電流過大に導因する不良品率も激減することがわかった。

以上のように、本発明の半導体装置によれば、従来よりも特性のよい半導体装置を高歩留りで製造することができる。

一方、本発明では長時間の熱処理の回数が従来半導体装置に比べて著しく少なくなるので、全工

第4図の状態以後の工程では、(a)レジスト層形成、PEPによりゲート形成予定領域5の酸化膜4のエッチング、(b)多結晶シリコンによるゲート電極6の形成、(c)酸化膜7の形成及び開口、(d)Al-Si合金のデポジションとPEPとによってソース配線電極8及びドレイン配線電極9並びにゲート配線電極10の形成、が行われ、最終的に第5図のように第一実施例構造のMOS FETが形成される。

上述の工程説明のように、第一実施例の半導体装置製造に必要な熱処理は、従来の半導体装置と比較して高温かつ長時間の熱処理を必要とせず、プロセス誤り欠陥の少ないことは容易に理解することができる。

第6図は、本発明MOS FETの第二実施例の素子断面図である。第1図との差異は、As不純物の熱拡散により強く形成されたソース領域11とドレイン領域12の極領域として、溝内にリンドープ多結晶シリコンが埋め込まれた埋込領域3a、3bが形成されている。その他第6図

- 8 -

程時間が減少し、製造能率が向上する。

また、従来に比べて、ソース領域及びドレイン領域などの形成を高温度で行うことができるので、従来よりも高密度の半導体装置を形成することができる。

なお、前記実施例では半導体基板の溝内に埋込む導電材として多結晶シリコンを使用した。多結晶シリコンの代りに、例えばWN、TiN、MoSi等の高融点金属化合物を用いてもよい。

#### 4 図面の簡単な説明

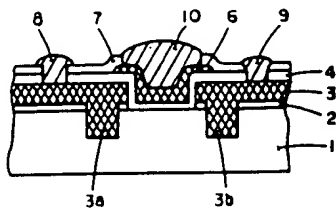
第1図は本発明MOS FETの第一実施例の断面図、第2図ないし第5図は本発明第一実施例の製造工程を順に示した断面図、第6図は本発明MOS FETの第二実施例の断面図である。

1…半導体基板、2…酸化膜、3…多結晶シリコン、4…酸化膜、6…ゲート電極、7…酸化膜、8…ソース配線電極、9…ドレイン配線電極、10…ゲート配線電極。

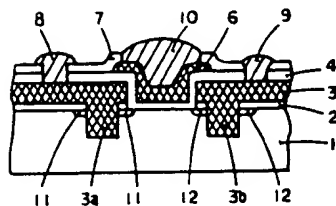
- 9 -

- 10 -

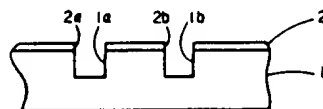
第 1 図



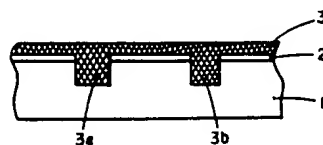
第 6 図



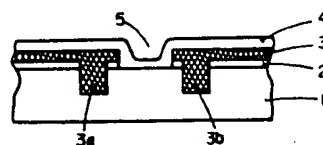
第 2 図



第 3 図



第 4 図



第 5 図

